

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-298755

(43)Date of publication of application : 18.11.1997

(51)Int.Cl.

H04N 9/07
H01L 27/148
H04N 5/335

(21)Application number : 09-030179

(71)Applicant : SONY CORP

(22)Date of filing : 14.02.1997

(72)Inventor : ISHIGAMI FUJI
KOBAYASHI ATSUSHI

(30)Priority

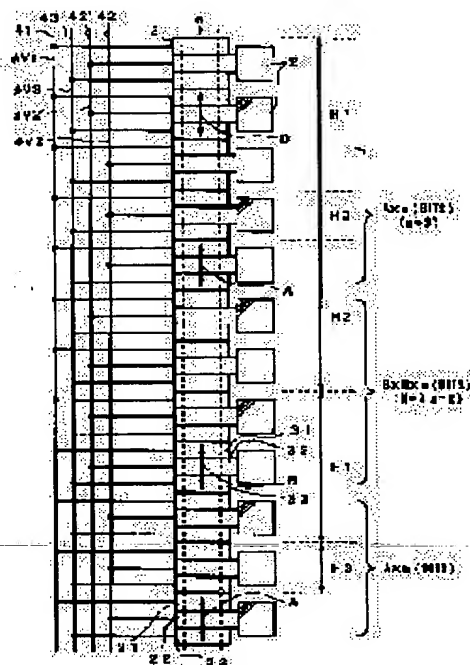
Priority number : 08 78315 Priority date : 06.03.1996 Priority country : JP

(54) SOLID-STATE IMAGE PICKUP ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an output of an image pickup signal at a high speed by keeping full picture element read and color sequence in the same relation so as to thin lines.

SOLUTION: Color filters are arranged with a period N, and a vertical CCD array 3 is provided in adjacent to a photo sensor array 2. An area A is made up of gates 21, 22, 23 and an area B is made up of gates 31, 32, 33, and m-sets of arrays of the area A and N×a sets of arrays of the area B are alternately arranged. The gates 21, 31, 23, 33 are connected in the same relation to buses 41, 43 to which vertical transfer drive pulses ϕ_{V1} , ϕ_{V2} are applied. The gate 22 is connected to a bus 42 to which vertical transfer drive pulse ϕ_{V2} and a read pulse are applied, and the gate 32 is connected to a bus 42' to which vertical transfer drive pulse $\phi_{V2'}$ and a read pulse are applied. There are the full picture element read mode applying the read pulse to both the gates 22, 32 and the line thinning mode applying the read pulse to the gate 22 only.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-298755

(43)公開日 平成9年(1997)11月18日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 9/07			H 0 4 N 9/07	A
H 0 1 L 27/148			5/335	P
H 0 4 N 5/335			H 0 1 L 27/14	B

審査請求 未請求 請求項の数11 O L (全 11 頁)

(21)出願番号 特願平9-30179

(22)出願日 平成9年(1997)2月14日

(31)優先権主張番号 特願平8-78315

(32)優先日 平8(1996)3月6日

(33)優先権主張国 日本 (J P)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 石上 富士

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 小林 篤

東京都品川区北品川6丁目7番35号 ソニー株式会社内

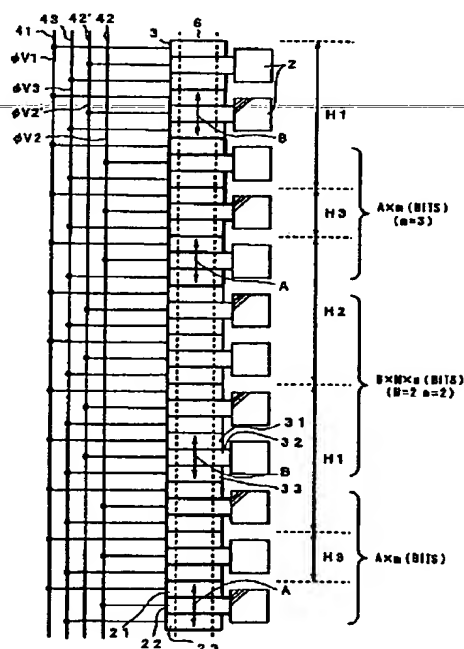
(74)代理人 弁理士 杉浦 正知

(54)【発明の名称】 固体撮像素子

(57)【要約】

【課題】 全画素読出しと色シーケンスを同一の関係に保って、ライン間引きを行い、撮像信号を高速で出力することを可能とする。

【解決手段】 繰り返し周期Nの色フィルタの配列がされ、フォトセンサ2の1列と隣接して垂直CCDの1列が設けられる。領域Aがゲート21、22、23からなり、領域Bがゲート31、32、33からなる。領域Aのm個の配列と領域BのN×a個の配列とが交互に配置される。φV₁、φV₂が印加されるバス41および43に対して、ゲート21、31、23、33が同一の関係で接続される。φV₂、読出しパルスが印加されるバス42にゲート22が接続され、φV₂、読出しパルスが印加されるバス42'にゲート32が接続される。ゲート22、32の両方に読出しパルスを印加する全画素読出しモードと、ゲート22のみに読出しパルスを印加するライン間引きモードとが可能とされる。



1

2

【特許請求の範囲】

【請求項 1】 インターライン方式固体撮像素子において、

垂直方向に N (N は自然数) 画素周期で繰り返される複数の色フィルタを介した光が入射されるマトリクス状に配置された複数のフォトセンサと、

上記複数のフォトセンサから読出された電荷を垂直方向に連なるフォトセンサからの電荷を混合することなく転送する垂直転送部と、

上記垂直転送部と結合され、上記垂直転送部から転送された電荷を 1 水平期間周期で出力する水平転送部と、

m (m は自然数) 個の垂直方向に連なる第 1 のフォトセンサ群と、上記画素周期 N の a 倍 (a は自然数) の数からなる垂直方向に連なる第 2 のフォトセンサ群とで、1 単位を構成し、上記第 1 のフォトセンサ群と、上記第 2 のフォトセンサ群とが垂直方向に交互に配置されるものとし、上記第 1 のフォトセンサ群に蓄積された電荷を上記垂直転送部に転送させるための第 1 の信号供給部と、

上記第 2 のフォトセンサ群に蓄積された電荷を上記垂直転送部に転送させるための第 2 の信号供給部とからなり、

上記第 1 の信号供給部と上記第 2 の信号供給部が互いに独立して設けられていることを特徴とする固体撮像素子。

【請求項 2】 請求項 1 の固体撮像素子において、上記第 1 および第 2 の信号供給部に入力され、上記垂直転送部および上記水平転送部を駆動する駆動信号を生成する駆動信号生成手段をさらに備え、

上記駆動信号生成手段は、水平ブランキング期間に、上記垂直転送部から上記水平転送部へ上記電荷を転送するための上記駆動信号としてラインシフト信号を生成することを特徴とする固体撮像素子。

【請求項 3】 請求項 2 の固体撮像素子において、上記駆動信号生成手段は、

上記第 1 および第 2 の信号供給部に駆動信号を供給することで全画素の電荷を読出す第 1 の動作モードと、

上記第 1 の信号供給部のみを駆動する駆動信号を生成する第 2 の動作モードとを選択的に切り換え可能であることを特徴とする固体撮像素子。

【請求項 4】 請求項 2 の固体撮像素子において、上記駆動信号生成手段は、 $(m + N \times a)$ ライン分の電荷が m 水平期間で出力されるように、連続する m 個の水平ブランキング期間において、全体で $(m + N \times a)$ 回上記ラインシフト信号を生成することを特徴とする固体撮像素子。

【請求項 5】 請求項 2 の固体撮像素子において、上記駆動信号生成手段は、或る第 1 のフォトセンサ群に含まれる 1 つの画素を第 1 の画素とした際に、

上記或る第 1 のフォトセンサ群に含まれ、上または下方向において上記第 1 の画素に隣接する第 2 の画素の電荷

と、上記第 1 の画素の電荷とをそれぞれ異なる水平ブランキング期間に上記垂直転送部から上記水平転送部に転送させるように、ラインシフト信号を生成することを特徴とする固体撮像素子。

【請求項 6】 請求項 5 の固体撮像素子において、

上記駆動信号生成手段は、

上記或る第 1 のフォトセンサ群に含まれ、上方向において上記第 1 の画素に隣接する画素を上記第 2 の画素、下方向において上記第 1 の画素と隣接する画素を第 3 の画素とした際に、

上記第 2 および第 3 の画素のうち、上記第 1 の画素との物理的距離が長い方の画素に関しては、上記物理的距離が長い方の画素と、上記第 1 の画素との間に位置する画素の電荷を、上記第 1 の画素または上記物理的距離が長い方の画素の電荷と加算されるようにするため、上記物理的距離が長い方の画素の電荷を上記垂直転送部から上記水平転送部に転送する水平ブランキング期間に、少なくとも 2 つのラインシフト信号を生成することを特徴とする固体撮像素子。

【請求項 7】 請求項 2 の固体撮像素子において、上記駆動信号生成手段は、各水平期間において、同一数のラインシフト信号を生成することを特徴とする固体撮像素子。

【請求項 8】 請求項 1 の固体撮像素子において、上記 N が各単位で異なることを特徴とする固体撮像素子。

【請求項 9】 請求項 1 の固体撮像素子において、上記 N が 2 単位周期であり、各単位毎に 2、4 の順であることを特徴とする固体撮像素子。

【請求項 10】 請求項 1 の固体撮像素子において、上記 N がどの単位においても 2 で固定であることを特徴とする固体撮像素子。

【請求項 11】 請求項 2 の固体撮像素子において、 $m = 1$ または $m = 2$ の場合において、

上記駆動信号生成手段は、各水平ブランキング期間に $(N \times a / m) + 1$ 個のラインシフト信号を生成し、これにより、信号電荷を含む 1 ラインの画素の電荷と、信号電荷を含まない $N \times a / m$ ラインの画素の電荷とが上記水平転送部において混合されることを特徴とする固体撮像素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、例えばデジタル記録の電子スチルカメラに使用して好適な固体撮像素子に関する。

【0002】

【従来の技術】最近、電子スチルカメラが普及しつつある。電子スチルカメラに使用して好適な固体撮像素子例えば CCD として、正方格子、全画素読出しのものが提案されている。正方格子は、隣接する画素の縦方向の間

隔と横方向の間隔とを等しくするもので、撮像信号をパソコン用モニタに合わせるために採用される。従来のビデオカメラ等に使用されるCCDは、インターレース方式の出力信号を発生するために、図18に示すように、 $1/60$ 秒(1フィールド)蓄積して、隣接する上下2ラインの画素の電荷を読み出し、垂直転送用のCCDにおいて読み出した2画素の電荷を混合し、また、混合する2つの画素の上下方向の組合せを奇数フィールドおよび偶数フィールドでずらすことによって、インターレース走査を実現していた。

【0003】かかるCCDは、 $1/60$ 秒の蓄積時間のために、 $1/30$ 秒の蓄積時間のフレーム蓄積方式と比較して、動画の撮像を良好に行うことができるが、垂直解像度が低い不利がある。従って、電子スチルカメラの撮像素子として適していない。そこで、図19に示すように、 $1/30$ 秒間蓄積し、全画素の電荷を混合することなく独立に読み出す全画素読み出し方式が提案されている。この方式によれば、垂直解像度の低下を防止することができるが、撮像素子から撮像信号を出力するためには、画素数が同じで読み出しのためのクロックが同じ場合に、上述したビデオカメラ用の撮像素子の2倍の時間を必要とする。より具体的には、 $1/30$ 秒周期の撮像信号が発生する。

【0004】

【発明が解決しようとする課題】電子スチルカメラの場合、撮影時にピントを合わせたり、撮影時のカメラアングルを調整するために、撮像画像を表示するモニタ例えば液晶モニタを設けることが多い。液晶モニタは、 $1/60$ 秒のノンインターレース走査で、テレビジョン画像を表示するのが普通である。従って、 $1/30$ 秒周期の撮像信号をそのまま液晶モニタに供給すると、図20に示すようになってしまう。これを避けるためには、図21に示すように、液晶モニタ62に対してVRAM(ビデオRAM)61(あるいはフレームメモリ)によりフレームレートを変換する必要がある。VRAM61に対しては、 $1/30$ 秒周期の撮像信号が供給され、その出力に $1/60$ 秒周期のノンインターレース信号が発生する。

【0005】このように、全画素読み出しの撮像素子は、垂直解像度が高いという点で、電子スチルカメラの撮像素子として好適な反面、通常のテレビジョンモニタに撮像画像を表示するのにフレームレートを変更するためにVRAMあるいはフレームメモリが必要となり、コストが上昇する問題があった。さらに、電子スチルカメラが自動焦点制御装置、自動アイリス制御装置、自動ホワイトバランス制御装置等の自動制御装置を備えているので、撮像素子の出力信号の周期が長いことは、これらの自動制御の応答を遅くする問題が生じた。さらに、モニタに表示される画像の動きが滑らかでない問題もあった。

【0006】上述した問題の解決する一つの方法は、撮像素子の出力信号のデータレートを高くすることである。しかしながら、クロック周波数が高いと、消費電力の増大、使用部品のコストの上昇、S/Nの劣化等の問題が生じる。従って、撮像信号のデータレートを上げる方法は、好ましくない。

【0007】従って、この発明の目的は、高速に撮像信号を出力することができる固体撮像素子を提供することにある。

10 【0008】

【課題を解決するための手段】請求項1に記載の発明は、インターライン方式固体撮像素子において、垂直方向にN(Nは自然数)画素周期で繰り返される複数の色フィルタを介した光が入射されるマトリクス状に配置された複数のフォトセンサと、複数のフォトセンサから読み出された電荷を垂直方向に連なるフォトセンサからの電荷を混合することなく転送する垂直転送部と、垂直転送部と結合され、垂直転送部から転送された電荷を1水平期間周期で出力する水平転送部と、m(mは自然数)個の垂直方向に連なる第1のフォトセンサ群と、画素周期Nのa倍(aは自然数)の数からなる垂直方向に連なる第2のフォトセンサ群とで、1単位を構成し、第1のフォトセンサ群と、第2のフォトセンサ群とが垂直方向に交互に配置されるものとし、第1のフォトセンサ群に蓄積された電荷を垂直転送部に転送させるための第1の信号供給部と、第2のフォトセンサ群に蓄積された電荷を垂直転送部に転送させるための第2の信号供給部とからなり、第1の信号供給部と第2の信号供給部が互いに独立して設けられていることを特徴とする固体撮像素子である。

30

【0009】請求項2に記載の発明は、第1および第2の信号供給部に入力され、垂直転送部および水平転送部を駆動する駆動信号を生成する駆動信号生成手段をさらに備え、駆動信号生成手段は、水平ブランキング期間に、垂直転送部から水平転送部へ電荷を転送するための駆動信号としてラインシフト信号を生成することを特徴とする固体撮像素子である。

【0010】転送および読み出しのための第1および第2の信号供給部が独立に設けられている。従って、第1および第2の信号供給部を通じて全画素の読み出しを行う第1の動作モードと、その一方を通じて画素の読み出しを行う第2の動作モードとが選択的に可能となる。そして、第2の動作モードでは、ライン数が間引かれるので、高速の撮像信号を出力することができる。また、第2の動作モードにおいて出力される撮像信号の色配列のシーケンスが全画素読み出しの場合と同一となり、信号処理を変更する必要がない。さらに、第2の動作モードにおいて、垂直転送部から水平転送部に信号電荷を転送する場合に、水平ブランキング期間において、所定回数のラインシフトを行うことによって、信号電荷を含まないバケ

50

ットが出力信号に含まれないように、圧縮することができる。

【0011】

【発明の実施の形態】以下、この発明の一実施例について図面を参照して説明する。図1は、この発明によるCCD1の一実施例の概略を示す。この一実施例では、インターライン方式を採用し、イメージエリアに2次元配列されたフォトセンサ（例えばフォトダイオード）2と、フォトセンサ2の間に設けられ、フォトセンサ2からの信号電荷を水平CCD（水平転送部）4へ転送する10 ための垂直CCD（垂直転送部）3と、水平CCD4に接続されたバッファアンプ5とを有する。フォトセンサ2には、後述するような配列の色フィルタを通った撮像光が入射する。一つのフォトセンサ2と垂直CCD3中の1ビットとが対応するように構成され、各フォトセンサ2からの信号電荷を混合することなく垂直CCD3に読出し、全画素の信号を混合することなく順次、水平CCD4に転送することが可能とされている。そして、水平CCD4を駆動することによって、信号をフローティングディフュージョンエリアであるバッファアンプ5に20 転送し、順次電圧に変換して出力する。

【0012】CCD1の単位画素の平面図を図2に示し、垂直CCD3の構造を図3に示す。垂直CCD3は、例えば3層電極3相駆動の構成とされている。図2において、6は、垂直CCD3の転送チャンネル、7は、各画素間、並びに画素および転送チャンネル間を分離するためのチャンネルストップ、8、9および10は、それぞれ垂直CCD3の転送ゲートである。転送ゲート9は、読出しゲートを兼用している。なお、図2では、遮光膜等についての図示が省略されている。転送ゲート8、9、10は、図3に示すように、第1、第2および第3の多結晶シリコン電極を加工して形成される。これらの転送ゲート8、9、10に対して、垂直駆動パルス ϕV_1 、 ϕV_2 、 ϕV_3 がそれぞれ印加される。

【0013】フォトセンサ2から垂直CCD3へ信号を読出す場合、フォトセンサ2に隣接した転送ゲート、すなわち、読出しゲートを兼ねる転送ゲート9に対して、垂直転送クロック ϕV_2 のハイレベルより高いバイアス電圧（読出しパルスと称する）を印加する。ゲート9に読出しパルスを供給すると、1つの画素が垂直CCD3の1ビットに対応しているので、全てのフォトセンサ2から信号電荷が垂直CCD3に読出される。水平CCD4は、転送クロック ϕH_1 、 ϕH_2 によって、1ライン分のデータを出力する。なお、水平CCD4としては、例えば複合チャンネル水平CCD構造を採用することができる。その場合、出力部が2チャンネルの構成とされる。

【0014】上述したCCDは、全画素の信号を混合することなく順次出力することができるので、電子スチルカメラ、画像取込みに適している。しかしながら、上述

したように、インターレース出力を行う同じ画素数のビデオカメラ用撮像素子と比較して、同じクロックで電荷の転送を行うと、1画面（画面の上端から下端まで）の出力時間が倍となる。この発明の一実施例では、モニター用の信号、自動焦点制御等の自動制御のための撮像信号として、水平ライン数を減少させることによって、1画面の撮像信号を高速に出力するものであり、且つ、このライン間引きの場合に、カラーフィルタの配列で規定される垂直方向の色シーケンスが崩れることがないようにするものである。一方、撮影した画像を半導体メモリ等の媒体に取り込む場合では、フルフレームの撮像信号（ライン数の間引きがされてない撮像信号）を出力する。ライン間引きの場合でも、色シーケンスがフルフレームの場合と同一のため、信号処理回路が複雑となる問題を回避できる。

【0015】上述した全画素読出し可能なCCDにおいて、ライン数を間引くためには、フォトセンサ2からの信号電荷の読出しに寄与している転送ゲート（第2の多結晶シリコン）9に対する配線を二つに分けることによって可能である。色の繰り返し周期をNで表す。図4は、上下2画素で1周期となる（N=2）の場合にこの発明を適用した撮像素子の一例である。

【0016】単板式のCCDの色フィルタの配列としては、R（赤色を通すフィルタ）、G（緑色を通すフィルタ）、B（青色を通すフィルタ）を図5Aに示すように配列したもの（ベイヤ方式）が知られている。全体の半分の画素に感度の高いGのフィルタを配置する。また、図5Bに示す補色市松配置の色フィルタも知られている。図5Bにおいて、Ye、Cy、Mgは、それぞれ黄色、シアン、マゼンタのフィルタである。図5Bに示す補色フィルタは、原色フィルタに比して解像度を高めることができるので、ビデオカメラに採用されることが多い。一方、図5Aに示す原色フィルタは、色の再現性の点で優れ、電子スチルカメラに採用されることが多い。

【0017】この発明は、原色フィルタを有する単板式撮像素子、および補色フィルタを有する単板式撮像素子の何れに対しても適用できる。さらに、図示しないが、Gのフィルタを備えた撮像素子と、RおよびBのフィルタの配列を備えた撮像素子とからなり、二つの撮像素子の位置関係が水平方向、または水平および垂直方向に画素ピッチの1/2だけずらされた方式の撮像素子（いわゆる空間絵素ずらし方式）に対しても適用することができる。

【0018】図5Aの配列は、垂直方向の色の繰り返し周期Nが（N=2）であり、図5Bの配列は、（N=4）である。図4は、（N=2）であって、垂直方向の1列のフォトセンサ2、垂直CCD3および垂直CCD3のゲートのバス配線を1列の一部に関して示した模式図である。フォトセンサ2のうちで左上コーナーに斜線部を設けたものが一つの色フィルタ例えばGのフィルタ

に対応し、斜線部を設けないものが他の色フィルタ、例えばBのフィルタと対応している。垂直CCD3は、上述したように3層電極3相駆動形式のもので、CCDの開口画素（遮光されていない画素）に隣接して3ビットのゲートを有する。また、垂直CCD3は、第1の領域Aと、第2の領域Bを含む。第1の領域Aは、ゲート21、22、23からなり、第2の領域Bは、ゲート31、32、33からなる。ゲート22および32が転送兼読出しゲートである。41、42、42'、43は、垂直転送用の駆動パルス ϕV_1 、 ϕV_2 、 $\phi V_2'$ 、 ϕV_3 がそれぞれ供給されるバス配線である。

【0019】ゲート21および31がバス配線41に接続され、ゲート23および33がバス配線43に接続される。これらのバス配線41、43には、それぞれ駆動パルス ϕV_1 、 ϕV_3 が供給される。駆動パルス ϕV_2 に関して、2本のバス42および42'が設けられる。第1の領域Aとは、転送兼読出しゲート22がバス42と接続されるものを指し、第2の領域Bは、転送兼読出しゲート32がバス42'と接続されるものを指す。なお、図4では、簡略化のために、バスラインが片側しか描かれていないが、フォトセンサ2の両側にバスラインを配して、両側駆動するのが普通である。

【0020】この発明では、ライン間引きのために、第1の領域Aが m ($m=1, 2, 3, \dots$) 並んだ範囲と、第2の領域Bが $N \times a$ 並んだ範囲とが垂直方向に交互に形成される。図4に示す例は、($N=2, m=3, a=2$) の場合である。なお、 m および a の値を任意に選ぶことができるが、 m および a を大きな値としても、($m+N \times a$) が有効画素数の垂直画素数より小さいことが必要である。

【0021】上述したこの発明の一実施例において、第1の動作モード、すなわち、全画素の信号を讀出すフルフレームの動作時では、垂直CCD3の第1の領域Aおよび第2の領域Bの両者にフォトセンサ2から信号が讀出される。そのためには、バス配線42および42'を通じてゲート22および32の両者に讀出しパルスが印加される。この場合、色フィルタの配列の順序と対応する色シーケンス、例えばG、B、G、B、 \dots のシーケンスでもって色信号が出力される。

【0022】一方、第2の動作モード、すなわち、ライン間引き動作時では、第1の領域Aのゲート22にのみバス配線42を介して讀出しパルスが印加される。従って、 m の範囲から信号が讀出され、 $N \times a$ の範囲からは、信号が讀出されない。図4の例では、($m=3$) ラインから信号が発生し、($N \times a=4$) ラインから信号が発生しない。間引かれるライン数が色の繰り返し同期Nの整数倍であるので、ライン間引きの場合の撮像出力の色信号の順序は、フルフレーム讀出しと同一の関係に保たれる。

【0023】図6A～図6Cは、撮像素子を駆動する場

合のタイミングを示し、図6Aがフルフレームの讀出しを行う場合のタイミングを示す。各水平ブランキング期間において、ラインシフトパルスLSとしての3相の駆動パルス ϕV_1 、 ϕV_2 、 $\phi V_2'$ 、 ϕV_3 が垂直CCD3の第1の領域Aのゲート21、22および23と、第2の領域Bのゲート31、32および33にそれぞれ供給される。また、讀出しパルスも1V毎にゲート22および32との両者に対して印加される。この讀出しパルスによって、全てのフォトセンサから信号電荷が垂直CCD3に讀出される。図6Bの詳細なタイミングチャートに示すように、水平ブランキング期間内で発生する駆動パルス ϕV_1 、 ϕV_2 、 $\phi V_2'$ 、 ϕV_3 が3相のものであり、1つのラインシフト期間によって1ライン分電荷のシフトがなされる。フルフレームの讀出し時には、各水平ブランキング期間内で、1ラインシフトがなされる。

【0024】一方、ライン間引きの讀出しの場合では、図6Cに示すように、第1の領域Aのゲート22にのみ讀出しパルスが印加される。それによって、第1の領域Aに隣接したフォトセンサのみから信号電荷が讀出される。ライン間引きの場合では、間引かれたラインの垂直CCDには、信号電荷が讀出されず、無信号となる。この無信号期間は、ラインシフト動作を複数回繰り返すことによって除去できる。

【0025】例えば、図4に示す色配列の場合には、H1で示される3画素分の電荷、具体的には、ひとつの第1の領域Aの信号電荷と、2つの第2の領域Bの無信号を、図7に示すように、第1の水平期間H1においてラインシフトパルスLSを3回供給することにより、水平CCD4において合成する。同様に、第2の水平期間H2においてラインシフトパルスLSを3回供給することにより、ひとつの第1の領域Aの信号電荷と、2つの第2の領域Bの無信号を、水平CCD4において合成する。また、第3の水平期間H3において、ラインシフトパルスLSを1回供給することにより、ひとつの第1の領域Aの信号電荷を1水平期間に水平CCD4に供給する。従って、各水平期間において、ひとつの第1の領域からの信号電荷が、色シーケンスが変わることなく出力されることになる。この図7に示す期間の動作が3水平期間毎に繰り返される。

【0026】図8Aは、($m=1, a=1$) の場合の垂直CCD3のチャンネル6のポテンシャルの模式図である。図面に向かって右側から左側の水平CCD4に向かう方向が垂直転送方向である。チャンネル6には、ライン間引き動作時に、信号電荷 Q_s を含むバケット51と空バケット52とが存在する。各ラインから信号電荷 Q_s を出力するためには、空バケット52の分、多くラインシフトを行い、それによって信号電荷と無信号とを水平CCD4において混合し、無信号の期間を除去する。各水平ブランキング期間内でなされるラインシフトの回

数は、下記の関係を満足するように選定すれば良い。

【0027】1 (：出力する信号電荷 Q_s を含むバケットの数(この例は1つバケットで考えている)) + X (前にある信号電荷 Q_s を含まないバケットの数) 以上で、 $1 + X + (N \times a)$ (：後ろにある信号電荷 Q_s を含まないバケットの数) 以下それによって、($X = 0$) の場合では、信号電荷のみを水平CCD4に対して転送し、($X \neq 0$) の場合では、信号電荷を含むバケットと1以上の信号電荷を含まないバケットとを水平CCD4に対して転送する。

【0028】上述の条件によって、信号電荷を水平CCD4に対して転送し、また、無信号のラインを圧縮することができる。実際には、空バケットの電荷が0ではなく、スミア信号や暗電流等の不要信号電荷 Q_n が含まれている。各水平ブランキング期間でなされるラインシフトの数が異なると、不要信号電荷 Q_n の加算される回数が異なるために、不要信号が含まれる量が実際の出力とされるラインによって異なる。それによって、モニタ上のライン毎に輝度が変わって見えるラインクロール現象や、色ずれなどの画質劣化が発生するおそれがある。

【0029】この問題を解決するには、各水平ブランキング期間でなされるラインシフトの回数を一定とすれば良い。限定された条件、すなわち、($m = 1$ 、または $m = 2$) の場合では、垂直CCD3のラインシフトの数を ($(N \times a / m) + 1$) とすることによって、各ラインの信号電荷 Q_s に対して加算される信号電荷 Q_s を含まないバケットの数を一定とすることができる。これによって、上述した画質劣化の発生を防止することができる。

【0030】図8Bは、($N = 2$ 、 $m = 1$ 、 $a = 1$) の場合の垂直CCD3のチャンネル6のポテンシャルの模式図である。この例では、($N \times a / m = 2$) となり、ラインシフトの回数を3回とすることによって、実際の出力となる、各ラインにおいて加算される信号電荷 Q_s を含まないバケットの数を一定とすることができる。また、図8Cは、($N = 2$ 、 $m = 2$ 、 $a = 1$) の場合を示す。この場合では、($N \times a / m = 1$) となり、ラインシフトの回数を2回とすれば良い。さらに、 $m > 2$ の場合でも、スミア信号や暗電流のレベルを十分に小さくすることができれば、問題は生じない。

【0031】上述したこの発明によるCCDは、実際の出力となるライン数を減少することができるので、垂直CCD3の第1の領域Aの並ぶ数 m 、第2の領域Bの並ぶ数 $N \times a$ の値を選ぶことによって、1フィールドのテレビジョンの水平走査線数以下に出力撮像信号のライン数を抑えることができる。ベイヤ方式の色フィルタ配列のような($N = 2$) の場合を例に出力ライン数のいくつかの例を説明する。

【0032】図9に示すように、有効画素数 (：垂直×水平) が (480×640) のVGA (Video Graphics

Array) 対応の撮像素子に対してこの発明を適用した場合では、($a = 1$ 、 $m = 2$) とされる。従って、ライン間引きモードでは、出力ライン数を半分の240ラインとできる。図10に、図9に示す撮像素子の場合の垂直1列の垂直CCDの構造を、図11に図10に示す撮像素子を第2の動作モードで駆動するための駆動パルスのタイミングチャートを示す。尚、図4と対応する部分には、同一の符号を付してその説明を省略する。この場合、各水平期間において、2回ラインシフトパルスLSが供給される。また、第2の動作モードにおいて、第1の水平期間H1には、Rのみの信号が、第2の水平期間H2には、Gのみの信号が読出される。この図10に示す例では、各水平期間に加算されるライン数が同じなので、色ずれの問題などが生じない。

10

20

30

40

【0033】図12に示すように、有効画素数が (768×1024) の撮像素子では、($m = 1$ 、 $a = 1$) とすることによって、出力ライン数を256ラインとできる。図13に、図12に示す撮像素子の場合の垂直1列の垂直CCDの構造を、図14に図13に示す撮像素子を第2の動作モードで駆動するための駆動パルスのタイミングチャートを示す。尚、図4と対応する部分には、同一の符号を付してその説明を省略する。この場合、各水平期間において、3回ラインシフトパルスLSが供給される。また、第2の動作モードにおいて、第1の水平期間H1には、Rのみの信号が、第2の水平期間H2には、Gのみの信号が読出される。また、第1の水平期間H1'に、Rのみの信号を、第2の水平期間H2'に、Gのみの信号を読出すようにしても良い。この図13に示す例では、各水平期間に加算されるライン数が同じなので、色ずれの問題などが生じない。

【0034】図15に示すように、有効画素数が (1024×1280) の撮像素子では、($m = 1$ 、 $a_1 = 1$ 、 $a_2 = 2$) とすることによって、出力ライン数を256ラインとできる。 a_1 および a_2 は、交互に使用される。図16に、図15に示す撮像素子の場合の垂直1列の垂直CCDの構造を、図17に図16に示す撮像素子を第2の動作モードで駆動するための駆動パルスのタイミングチャートを示す。尚、図4と対応する部分には、同一の符号を付してその説明を省略する。この場合、各水平期間において、4回ラインシフトパルスLSが供給される。また、第2の動作モードにおいて、第1の水平期間H1には、Gのみの信号が、第2の水平期間H2には、Rのみの信号が読出される。また、第1の水平期間H1'に、Rのみの信号を、第2の水平期間H2'に、Gのみの信号を読出すようにしても、第1の水平期間H1''に、Rのみの信号を、第2の水平期間H2''に、Gのみの信号を読出すようにしても良い。この図16に示す例では、各水平期間に加算されるライン数が同じなので、色ずれの問題などが生じない。

50

【0035】図9、図12および図15にそれぞれ示す

何れの場合でも、出力ライン数を例ばNTSC方式の1フィールドのライン数(262.5)より少なくすることができる。従って、色シーケンスおよび画角をフルフレーム読出しモードと同一の関係を保持して、ライン間引きモードの撮像信号をより短時間で出力することができる。それによって、VRAM、あるいはフレームメモリを使用することなしに、液晶モニタに撮像画面を表示することができる。

【0036】なお、上述した一実施例における撮像素子の具体的な構成は、一例であって、この発明は、これ以外の固体撮像素子に対しても適用できる。例えば垂直CCDが2層電極4相駆動の構造でも良い。さらに、固体撮像素子を駆動するモードとして、読出しパルス ϕV_1 を印加し、読出しパルス ϕV_2 を印加しない第3の動作モードを設定するようにしても良い。

【0037】

【発明の効果】以上説明したように、この発明によれば、全画素を読出すフルフレームの動作モードと、色シーケンスを同一の関係に保って、ライン数の少ない撮像信号を選択的に得ることができ、撮像信号を高速に出力することができる。従って、ライン数の多い撮像素子でも、出力ライン数をテレビジョンの走査線数以下とすることができ、フレームメモリ、VRAM等の大容量メモリを使用しなくても、撮像信号をモニタに表示することができる。また、高速で撮像信号を出力できることにより、オートフォーカス等の自動制御装置の応答を速くすることができる。さらに、コマ数が多くなるので、モニタ画像の動きが滑らかになる利点がある。

【図面の簡単な説明】

【図1】この発明の一実施例の概略的構成を示す略線図である。

【図2】この発明の一実施例の1画素の部分の拡大平面図である。

【図3】この発明の一実施例の垂直CCDの構造を示す略線図である。

【図4】この発明の一実施例の垂直1列のバス配線を示す略線図である。

【図5】この発明を適用することができる色フィルタの一例および他の例を示す略線図である。

*

*【図6】この発明の一実施例を駆動するための駆動パルスのタイミングチャートである。

【図7】図4に示す撮像素子の駆動パルスのタイミングチャートである。

【図8】この発明の一実施例における垂直CCDのポテンシャルを模式的に示す略線図である。

【図9】この発明の具体的な一例を示す略線図である。

【図10】図9に示す撮像素子の垂直1列のバス配線を示す略線図である。

10 【図11】図9に示す撮像素子の駆動パルスのタイミングチャートである。

【図12】この発明の具体的な他の例を示す略線図である。

【図13】図12に示す撮像素子の垂直1列のバス配線を示す略線図である。

【図14】図12に示す撮像素子の駆動パルスのタイミングチャートである。

【図15】この発明の具体的なさらに他の例を示す略線図である。

20 【図16】図15に示す撮像素子の垂直1列のバス配線を示す略線図である。

【図17】図15に示す撮像素子の駆動パルスのタイミングチャートである。

【図18】従来の撮像素子の説明に用いる略線図である。

【図19】先に提案されている撮像素子の説明に用いる略線図である。

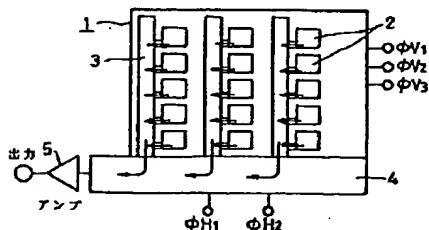
【図20】撮像素子の出力と液晶モニタの表示との関係を示す略線図である。

30 【図21】撮像素子から発生した撮像信号を液晶モニタに供給する場合の構成を示すブロック図である。

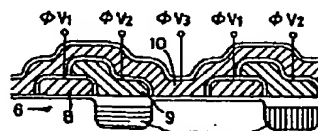
【符号の説明】

2・・・フォトセンサ、3・・・垂直CCD、4・・・水平CCD、6・・・垂直CCDのチャンネル、8、9、10・・・垂直CCDのゲート、21、22、23・・・垂直CCDの第1の領域Aのゲート、31、32、33・・・垂直CCDの第2の領域Bのゲート、41、42、42'、43・・・駆動パルスを供給するためのバス配線

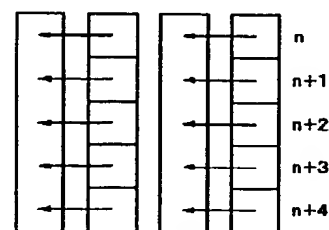
【図1】



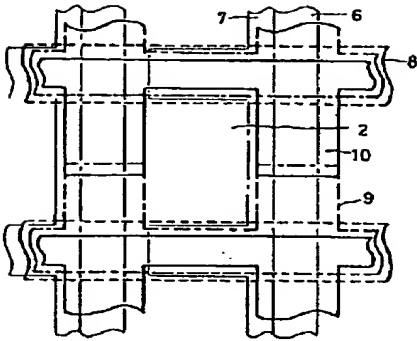
【図3】



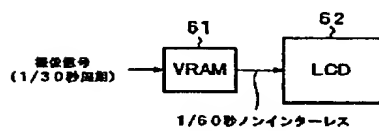
【図19】



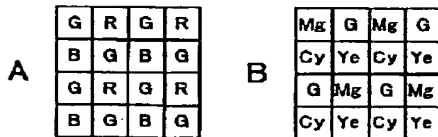
【図2】



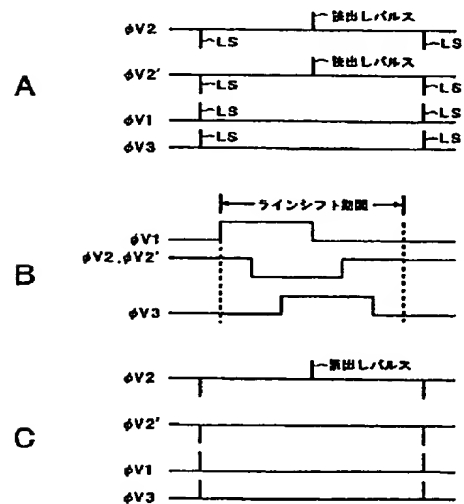
【図21】



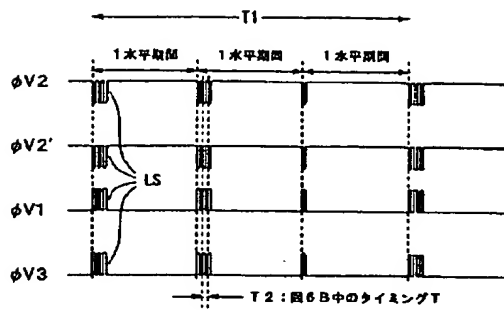
【図5】



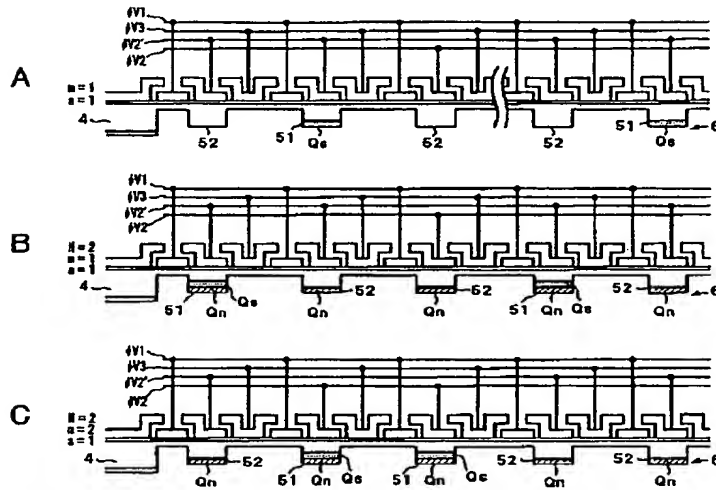
【図6】



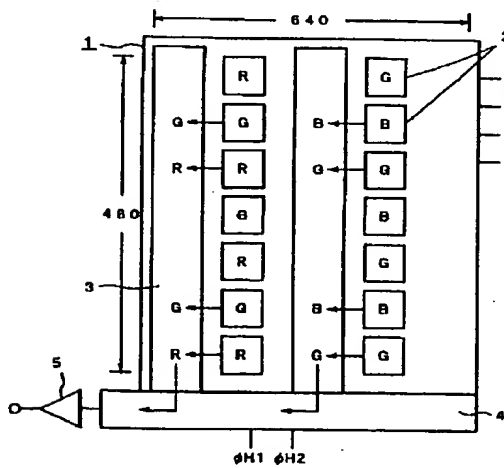
【図7】



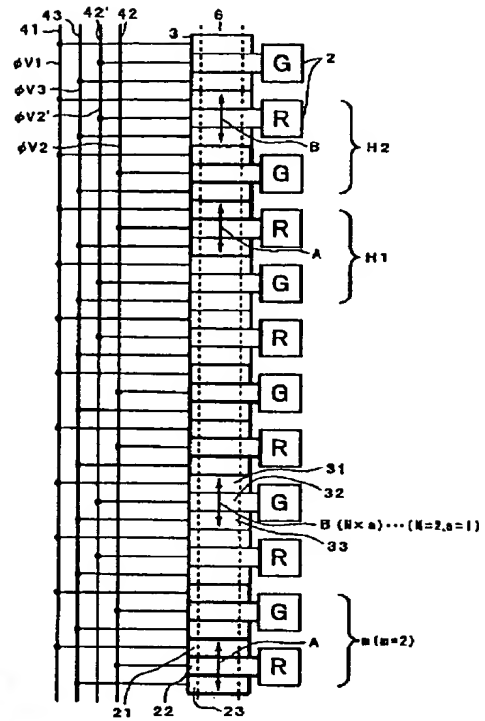
【図8】



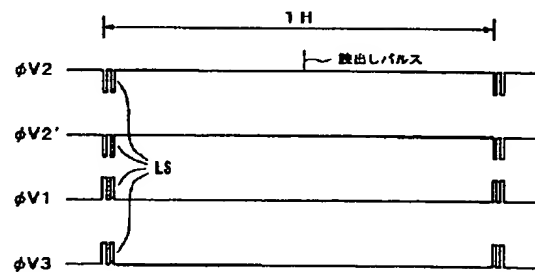
【図9】



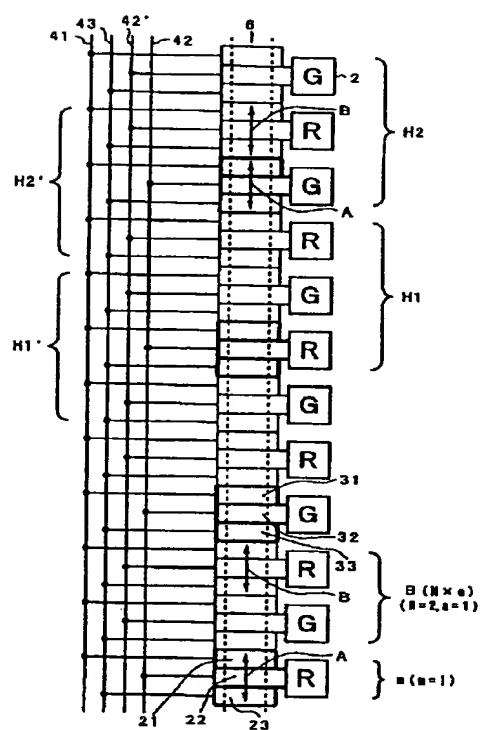
【図10】



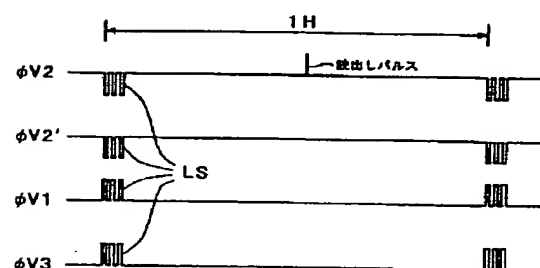
【図11】



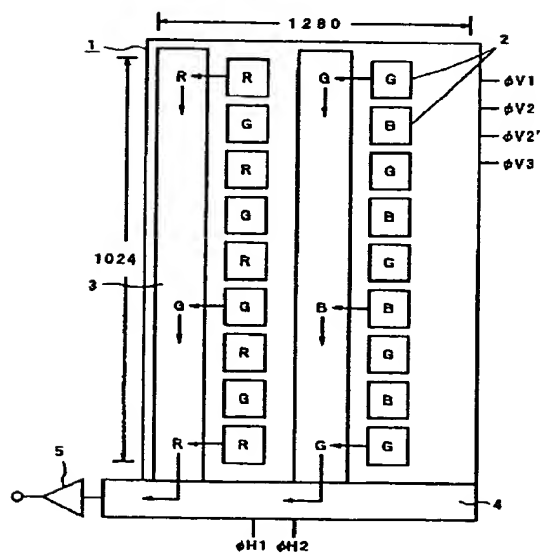
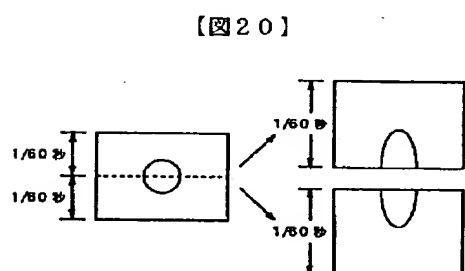
【図 13】



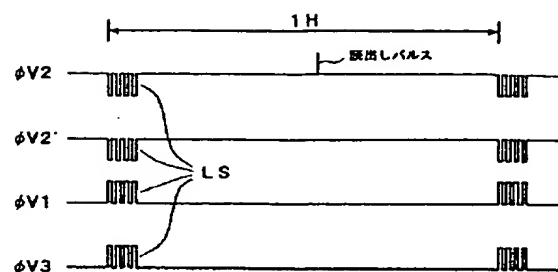
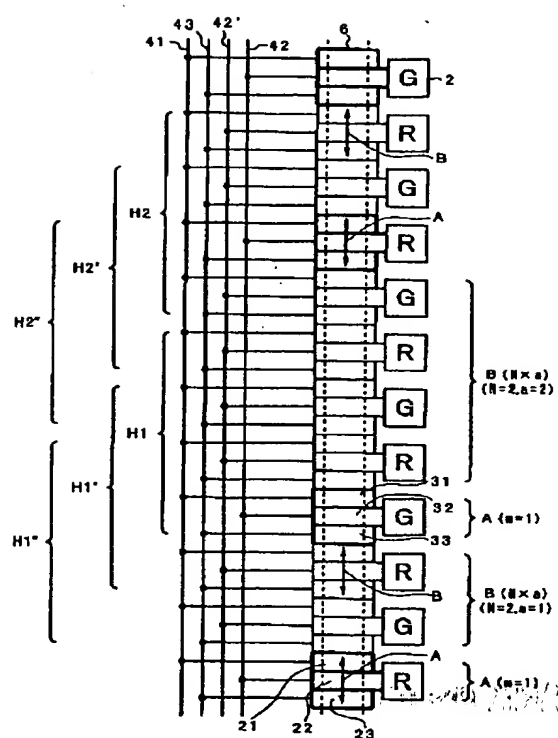
【圖 14】



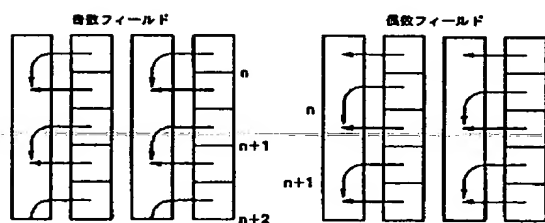
【圖 15】



【圖 17】



【图 18】



THIS PAGE BLANK (USPTO)